

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Yukihiro INOUE

Application No.: 09/768,556

Filed: January 25, 2001

For: SEMICONDUCTOR

CLAIM FOR PRIORITY

Assistant Commissioner of Patents
Washington, D.C. 20231



2812
#2 Priority
Paper
4-4-01
Ristole

Dear Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2000-021256, Filed January 31, 2000.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James E. Ledbetter
Registration No. 28,732

Date: March 7, 2001

JEL/ejw
ATTORNEY DOCKET NO. L8462.01101
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 408-5100
Facsimile: (202) 408-5200

TC 2600 MAIL ROOM

MAR 12 2001

RECEIVED

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 1月31日

出 願 番 号
Application Number:

特願2000-021256

出 願 人
Applicant (s):

松下電子工業株式会社

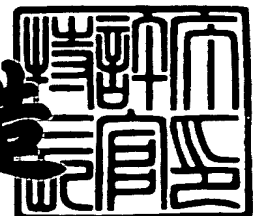


RECEIVED
MAR 12 2001
TC 2800 MAIL ROOM

2001年 2月16日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3007422

【書類名】 特許願

【整理番号】 2929310009

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/088

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号
 松下電子工業株式会社内

 【氏名】 井上 征宏

【特許出願人】

 【識別番号】 000005843

 【氏名又は名称】 松下電子工業株式会社

【代理人】

 【識別番号】 100076174

 【弁理士】

 【氏名又は名称】 宮井 暎夫

【手数料の表示】

 【予納台帳番号】 010814

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9006029

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置
【特許請求の範囲】

【請求項 1】 一導電型領域上の所定の領域に形成したトランジスタのゲート絶縁膜と、前記ゲート絶縁膜上に形成した前記トランジスタのゲート電極と、前記一導電型領域上であってかつ前記ゲート絶縁膜の両側に形成した他導電型の拡散層と、前記ゲート絶縁膜および他導電型の拡散層を囲むように形成され前記一導電型領域よりも不純物濃度の高い一導電型の拡散層とを備えた半導体装置であって、

前記一導電型の拡散層は、前記ゲート絶縁膜の形成領域のうちチャンネル幅方向の両端部の領域と接するように形成したことを特徴とする半導体装置。

【請求項 2】 一導電型領域上の所定の領域に形成したトランジスタのゲート絶縁膜と、前記ゲート絶縁膜上に形成した前記トランジスタのゲート電極と、前記一導電型領域上であってかつ前記ゲート絶縁膜の両側に形成した他導電型の拡散層と、前記ゲート絶縁膜および他導電型の拡散層を囲むように形成され前記一導電型領域よりも不純物濃度の高い一導電型の拡散層とを備えた半導体装置であって、

前記一導電型の拡散層は、前記ゲート絶縁膜と離間して形成したことを特徴とする半導体装置。

【請求項 3】 前記トランジスタは、高耐圧トランジスタであることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記一導電型の拡散層はチャンネルストッパ領域であることを特徴とする請求項 1，2 または 3 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に用いられる高耐圧トランジスタ等の半導体装置に関するものである。

【0002】

【従来の技術】

高耐圧トランジスタは、その多くが液晶ディスプレイの駆動用回路（ドライバー）を構成する素子として使用されている。液晶ディスプレイは近年、高精細化、低消費電力化、大画面化が進み、そこに用いられる液晶ドライバーは、ますます、高耐圧、低消費電力が要求されるようになってきた。こういった液晶ドライバーでは同一の半導体チップ上に一般回路用のCMOSFETと高耐圧MOSFETとを併設し、回路の構成としては、半導体チップから外部への出力端子に接続する周辺回路に高耐圧MOSFETが用いられ、半導体チップ内部に、この高耐圧MOSFETを制御する低電圧動作の高集積回路を構成するCMOSFETで形成される。

【0003】

このような回路に用いられるオフセット型ソース・ドレインを有する高耐圧トランジスタの構造を図3に示す。図3（a）は従来の半導体装置である高耐圧トランジスタの平面図であり、図3（b）は図3（a）におけるA-B間の断面図である。また、図3（c）は図3（a）におけるC-D間の断面図である。

【0004】

図3（b）、（c）の断面図を参照すると、P型基板1の表面上にP型ウエル2があり、P型ウエル2の表面には、N型ソース／ドレイン拡散層3a、3b、P型ガードバンド拡散層4、選択酸化により形成されたLOCOS酸化膜5があり、さらに、LOCOS酸化膜5の下には、N型オフセット拡散層6a、6b、P型拡散層7があり、さらにゲート酸化膜8上からLOCOS酸化膜5に一部かかるようにポリシリコンゲート電極9がある。このP型拡散層7は高耐圧トランジスタのLOCOS酸化膜5の下のチャンネルストッパ領域として必要なものである。

【0005】

また図3（a）の平面図を参照すると、N型オフセット拡散層6a、6bは、高不純物濃度N型ソース／ドレイン拡散層3a、3bの周囲にあって、ゲート酸化膜8の下には存在しない。また、N型オフセット拡散層6a、6bに接してP型拡散層7があり、ゲート酸化膜8はソース側N型オフセット拡散層6aとドレ

イン側N型オフセット拡散層6bの横方向の境界線の延長線上よりも突き出すように存在している（領域10）。P型拡散層7は、P型ガードバンド拡散層4の内側に形成され、N型オフセット拡散層6a、6bに接しており、前述のゲート酸化膜8がソース側N型オフセット拡散層6aとドレイン側N型オフセット拡散層6bの横方向の境界線の延長線上よりも突き出した領域10の下にも存在している。これは図3（a）のCD線で切られた断面の断面図である図3（c）を見れば明らかである。なお、LOCOS酸化膜5は、図3（a）において、P型ガードバンド拡散層4の内側であって、かつN型ソース／ドレイン拡散層3a、3bとゲート酸化膜8とを除いた領域、すなわち破線のハッチング部分の領域に形成されている。従来の高耐圧トランジスタは以上のような構成となっている。

【0006】

【発明が解決しようとする課題】

しかしながら上記従来の構成では、以下のような問題点があった。問題点を説明するために従来のトランジスタの構造を再度図4に示す。図4（a）は従来の高耐圧トランジスタの平面図であり、図4（b）は図4（a）におけるA-B間の断面図である。図4（b）における2点鎖線は図4（a）のAB線の屈曲部を示す線である。

【0007】

液晶パネルのドライバーとして使用されるような時、例えばドレインが直接出力パッドにつながり、さらに、出力パッドが液晶パネルにつながると、高耐圧トランジスタにとっては容量負荷となるため、ドレインがオープン状態となる。その時、N型ソース拡散層3aには0V、ゲート電極9には+40V、P型ウェル2並びにP型ガードバンド拡散層4には-40Vがかかっており、トランジスタはON（オン）状態となる。こういった電圧印加条件の時、ゲート電圧によって、ゲート酸化膜8の直下にはN型反転層11が形成される。このN型反転層11とP型拡散層7がPN接合を形成する。N型ソース拡散層3a、N型オフセット拡散層6aとN型反転層11とは電氣的に接続されるからN型反転層11も約0Vとなる。このようにしてP型ガードバンド拡散層4に印加される-40VとN型ソース拡散層3aに印加される0Vの間の電位差約40Vが、このPN接合に

かかり、PN接合のエネルギー障壁を電子が通り抜けるトンネリング現象がおこることによって、リーク電流が発生すると考えられる。リーク電流が発生すると、液晶パネルに実装された場合に、動作に寄与しない余分な電流が流れ、消費電力が高くなるという問題につながる。図3、図4においては、Nチャンネルトランジスタで説明したが、Pチャンネルトランジスタでも同様の現象が起こる。

【0008】

本発明の目的は、トランジスタがON状態でのリーク電流を抑制できる半導体装置を提供することである。

【0009】

【課題を解決するための手段】

本発明の半導体装置は、一導電型領域上の所定の領域に形成したトランジスタのゲート絶縁膜と、ゲート絶縁膜上に形成したトランジスタのゲート電極と、一導電型領域上であってかつゲート絶縁膜の両側に形成した他導電型の拡散層と、ゲート絶縁膜および他導電型の拡散層を囲むように形成され一導電型領域よりも不純物濃度の高い一導電型の拡散層とを備えた半導体装置であって、一導電型の拡散層は、ゲート絶縁膜の形成領域のうちチャンネル幅方向の両端部の領域と接するように形成したことを特徴とするものである。

【0010】

この構成によれば、一導電型の拡散層を、ゲート絶縁膜の形成領域のうちチャンネル幅方向の両端部の領域と接するように形成したことにより、トランジスタのON状態で発生するチャンネル領域の反転層（ゲート絶縁膜の下の方導電型の反転層）と一導電型の拡散層とのPN接合がゲート絶縁膜の端部の直下部分だけとなり、従来例より接合面積が小さくなる。従ってトンネリングによって発生するリーク電流を従来例に比べて小さくすることができる。

【0011】

また、本発明の半導体装置は、一導電型領域上の所定の領域に形成したトランジスタのゲート絶縁膜と、ゲート絶縁膜上に形成したトランジスタのゲート電極と、一導電型領域上であってかつゲート絶縁膜の両側に形成した他導電型の拡散層と、ゲート絶縁膜および他導電型の拡散層を囲むように形成され一導電型領域

よりも不純物濃度の高い一導電型の拡散層とを備えた半導体装置であって、一導電型の拡散層は、ゲート絶縁膜と離間して形成したことを特徴とするものである。

【0012】

この構成によれば、一導電型の拡散層をゲート絶縁膜と離間して形成したことにより、トランジスタのON状態で発生するチャンネル領域の反転層（ゲート絶縁膜の下の一導電型の反転層）とPN接合を形成するのは一導電型の拡散層よりも濃度の低い一導電型領域となり、PN接合のエネルギー障壁は、一導電型の拡散層と他導電型の反転層のPN接合のエネルギー障壁よりも高くなり、リーク電流の発生を抑制できる。

【0013】

また、本発明の半導体装置において、トランジスタは、ゲート電極に数十Vの電圧が印加される高耐圧トランジスタである場合特にその効果を発揮でき、また一導電型の拡散層はより具体的にはチャンネルストッパ領域とすることができるものである。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するために、全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0015】

（第1の実施の形態）

本発明の第1の実施の形態の半導体装置であるNチャンネル高耐圧トランジスタの構成を図1に示す。図1（a）は第1の実施の形態である高耐圧トランジスタの平面図であり、図1（b）は図1（a）におけるA-B間の断面図、図1（c）は図1（a）におけるC-D間の断面図である。図1（c）における2点鎖線は図1（a）のCD線の屈曲部を示す線である。

【0016】

P型基板1の表面上にP型ウエル2があり、P型ウエル2の表面には、N型ソ

ース／ドレイン拡散層 3 a, 3 b、P型ガードバンド拡散層 4、LOCOS酸化膜 5 があり、さらに、LOCOS酸化膜 5 の下には、N型オフセットソース・ドレイン拡散層 6 a, 6 b、P型拡散層 7 がある。このP型拡散層 7 はLOCOS酸化膜 5 の下のチャンネルストップ領域としての役割を果たすために必要なものである。さらにゲート酸化膜 8 上からLOCOS酸化膜 5 に一部かかるようにポリシリコンゲート電極 9 がある。

【0017】

図 1 (a) を参照して平面的に見ると、N型オフセット拡散層 6 a, 6 b は、N型ソース／ドレイン拡散層 3 a, 3 b の周囲、例えば拡散層 3 a, 3 b の端部から $6 \mu\text{m}$ の範囲にあって、ゲート酸化膜 8 の下には存在しない。また、N型オフセット拡散層 6 a, 6 b に接してP型拡散層 7 があり、ゲート酸化膜 8 はソース側N型オフセット拡散層 6 a とドレイン側N型オフセット拡散層 6 b の横方向の境界線よりも例えば $4 \mu\text{m}$ 突き出すように存在している。P型拡散層 7 は、P型ガードバンド拡散層 4 の内側に形成され、N型オフセット拡散層 6 a, 6 b に接してあり、さらにゲート酸化膜 8 の形成領域とは接して存在し、ソース側N型オフセット拡散層 6 a とドレイン側のN型オフセット拡散層 6 b の横方向の境界線よりも突き出しているゲート酸化膜 8 の領域の下にはP型拡散層 7 は存在しない。すなわちゲート酸化膜 8 が形成された領域下にはP型拡散層 7 は存在しないのである。本実施の形態では、P型拡散層 7 の形成領域が図 3 の従来例と一部異なるだけで、他の構成は従来例と同様であり、LOCOS酸化膜 5 も従来例と同じ領域に形成されている。

【0018】

ここで、各拡散層の表面濃度、深さを例を挙げて説明すると、N型オフセット拡散層 6 a, 6 b の表面濃度は $3.4 \times 10^{16} / \text{cm}^3$ 、深さが $1.0 \mu\text{m}$ である。P型拡散層 7 の表面濃度は $4.0 \times 10^{16} / \text{cm}^3$ 、深さが $1.2 \mu\text{m}$ である。N型ソース／ドレイン拡散層 3 a, 3 b の表面濃度は $1.4 \times 10^{20} / \text{cm}^3$ 、P型ガードバンド拡散層 4 の表面濃度は $1.4 \times 10^{20} / \text{cm}^3$ であり、P型ウェル 2 は表面濃度が $1.9 \times 10^{15} / \text{cm}^3$ 、深さが $16 \mu\text{m}$ である。また、LOCOS酸化膜 5 の膜厚は 800nm で、ゲート酸化膜 8 の膜厚は 160nm

mとなっている。

【0019】

このようなトランジスタの構造では、従来と同様に図1(c)に示すようにゲート電極9に数十Vのプラスの高電圧、例えば40Vの電圧が印加され、N型ソース拡散層3aに0Vが印加され、ゲート酸化膜8の下にほぼ0VとなるN型反転層11が形成されたとしても、P型拡散層7とのPN接合がゲート酸化膜8のエッジの直下部分だけとなり、接合面積が小さくなる。従ってトンネリングによって発生するリーク電流を従来の構造に比べて小さくすることができ、消費電力の増加を抑え、信頼性の高い高耐圧トランジスタを実現できる。

【0020】

(第2の実施の形態)

本発明の第2の実施の形態の半導体装置であるNチャンネル高耐圧トランジスタの構成を図2に示す。図2(a)は第2の実施の形態である高耐圧トランジスタの平面図であり、図2(b)は図2(a)におけるA-B間の断面図、図2(c)は図2(a)におけるC-D間の断面図である。図2(c)における2点鎖線は図2(a)のCD線の屈曲部を示す線である。

【0021】

この第2の実施の形態では、第1の実施の形態と同様、P型基板1の表面上にP型ウエル2があり、P型ウエル2の表面には、N型ソース/ドレイン拡散層3a、3b、P型ガードバンド拡散層4、LOCOS酸化膜5があり、さらに、LOCOS酸化膜5の下には、N型オフセット拡散6a、6b、P型拡散層7があり、さらにゲート酸化膜8上からLOCOS酸化膜5に一部かかるようにポリシリコンゲート電極9がある。

【0022】

この構造を図2(a)を参照して平面的に見ると、N型オフセット拡散層6a、6bは、高不純物濃度N型ソース/ドレイン拡散層3a、3bの周囲、例えば6 μ mの範囲にあって、ゲート酸化膜8の下には存在しない。また、N型オフセット拡散層6a、6bに接してP型拡散層7があり、ゲート酸化膜8はソース側N型オフセット拡散層6aとドレイン側N型オフセット拡散層6bの横方向の境

界線よりも例えば4 μ m突き出すように存在している。P型拡散層7は、P型ガードバンド拡散層4の内側に形成され、N型オフセット拡散層6a、6bに接しており、さらにゲート酸化膜8が存在する領域よりも外側に離れて存在するようにしている。従ってソース側N型オフセット拡散層6aとドレイン側のN型オフセット拡散層6bの横方向の境界線よりも突き出しているゲート酸化膜8の領域の下にはP型拡散層7は存在しない。これは図2(b)の断面図より明らかである。本実施の形態では、P型拡散層7の形成領域が図3の従来例と一部異なるだけで、他の構成は従来例と同様であり、LOCOS酸化膜5も従来例と同じ領域に形成されている。

【0023】

このようなトランジスタの構造では、図2(c)に示すようにゲート電極9に数十Vのプラスの高電圧、例えば40Vの電圧が印加され、ゲート酸化膜8の下にN型反転層11が形成されたとしても、ほぼ0VであるN型反転層11の周辺に存在するP型領域は低濃度のP型ウエル2しかなく、P型ガードバンド拡散層4を通じて-40VかかるP型拡散層7は離れているので接することはない。従って、N型反転層11とPN接合を形成するのはP型拡散層7よりも濃度の低いP型ウエル2となり（第1の実施の形態で説明した拡散層の濃度の例を参照）、PN接合のエネルギー障壁は、N型反転層11とP型拡散層7のPN接合のエネルギー障壁よりも高くなる。このことによって、PN間に40V程度の電位差が生じたとしてもリーク電流は発生しなくなり、実験によって60Vの電位差でも、問題ない事を確認した。このように第2の実施の形態においてはP型拡散層7がN型反転層11が生ずるゲート酸化膜8の領域と離れているので、これらが接している第1の実施の形態よりもリーク電流を少なくすることができるものであり、消費電力の増加を抑え、信頼性の高い高耐圧トランジスタを実現できる。

【0024】

なお、上記第1および第2の実施の形態では、一導電型領域をP型ウエル2とし、他導電型の拡散層をN型オフセット拡散層6a、6bおよびN型ソース/ドレイン拡散層3a、3bとして、Nチャンネルトランジスタで説明したが、Pチャンネルトランジスタでも、同様にPN接合が形成されるため、各導電型を逆に

してPチャンネルトランジスタとしても同様の効果が得られる。

【 0 0 2 5 】

また、上記第1および第2の実施の形態では、高耐圧トランジスタで説明したが、本発明を、SD（シングルドレイン）構造やLDD（低濃度ドレイン）構造等の他のMOSトランジスタに適用することもできる。

【 0 0 2 6 】

【発明の効果】

以上のように本発明によれば、一導電型の拡散層を、ゲート絶縁膜の形成領域のうちチャンネル幅方向の両端部の領域と接するように形成したことにより、トランジスタのON状態で発生するチャンネル領域の反転層（ゲート絶縁膜の下その他導電型の反転層）と一導電型の拡散層とのPN接合がゲート絶縁膜の端部の直下部分だけとなり、従来例より接合面積が小さくなる。従ってトンネリングによって発生するリーク電流を従来例に比べて小さくすることができ、消費電力の増加を抑え、信頼性の高い半導体装置を実現できる。

【 0 0 2 7 】

また、本発明によれば、一導電型の拡散層をゲート絶縁膜と離間して形成したことにより、トランジスタのON状態で発生するチャンネル領域の反転層（ゲート絶縁膜の下その他導電型の反転層）とPN接合を形成するのは一導電型の拡散層よりも濃度の低い一導電型領域となり、PN接合のエネルギー障壁は、一導電型の拡散層と他導電型の反転層のPN接合のエネルギー障壁よりも高くなり、リーク電流の発生を抑制でき、消費電力の増加を抑え、信頼性の高い半導体装置を実現できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態の半導体装置の構成を示す図。

【図2】

本発明の第2の実施の形態の半導体装置の構成を示す図。

【図3】

従来の半導体装置の構成を示す図。

【図 4】

従来の半導体装置の構成を示す図。

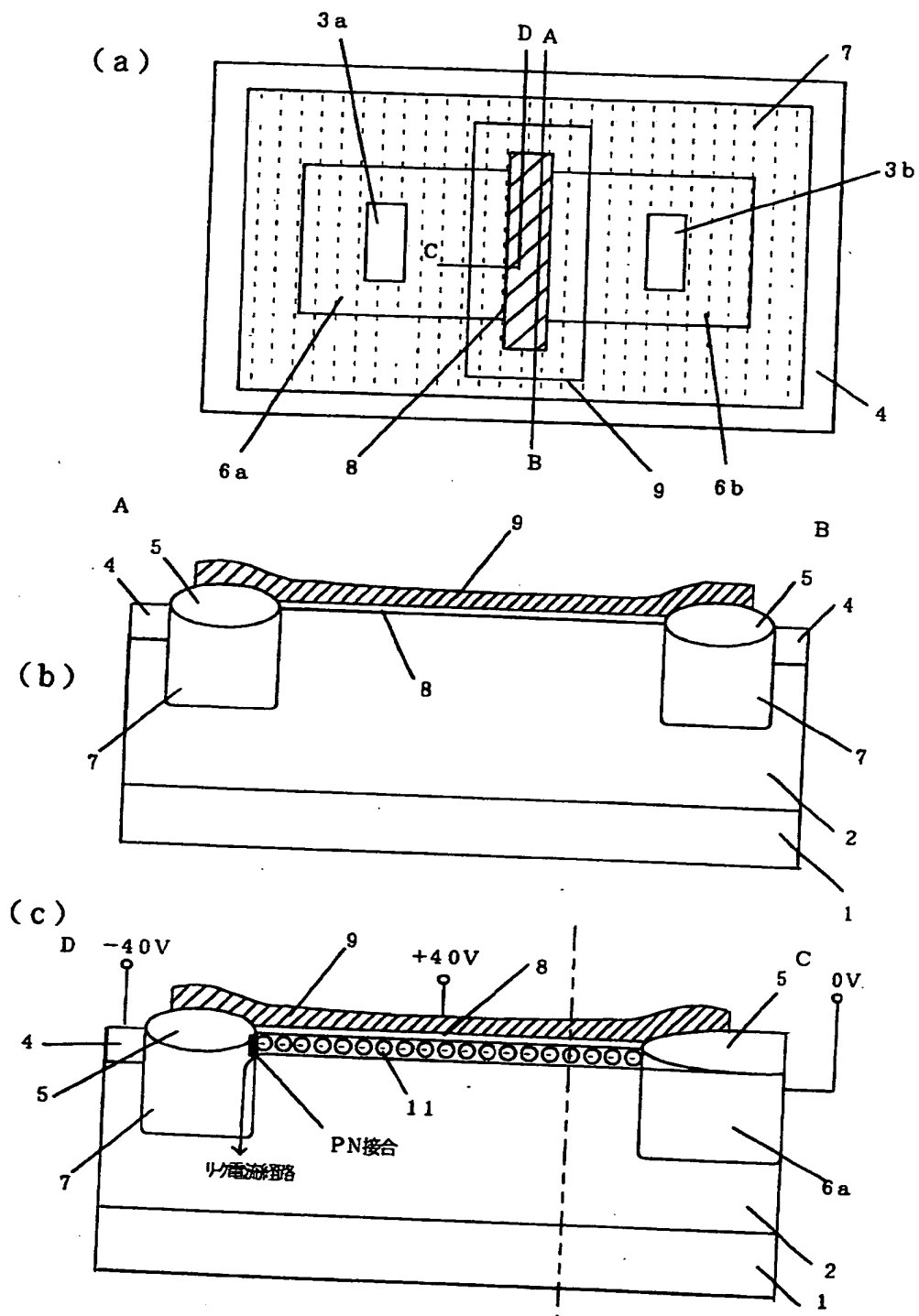
【符号の説明】

- 1 P型基板
- 2 P型ウエル
- 3 a N型ソース拡散層
- 3 b N型ドレイン拡散層
- 4 P型ガードバンド拡散層
- 5 LOCOS酸化膜
- 6 a ソース側N型オフセット拡散層
- 6 b ドレイン側N型オフセット拡散層
- 7 P型拡散層
- 8 ゲート酸化膜
- 9 ポリシリコンゲート電極
- 1 0 突き出しゲート酸化膜領域
- 1 1 N型反転層

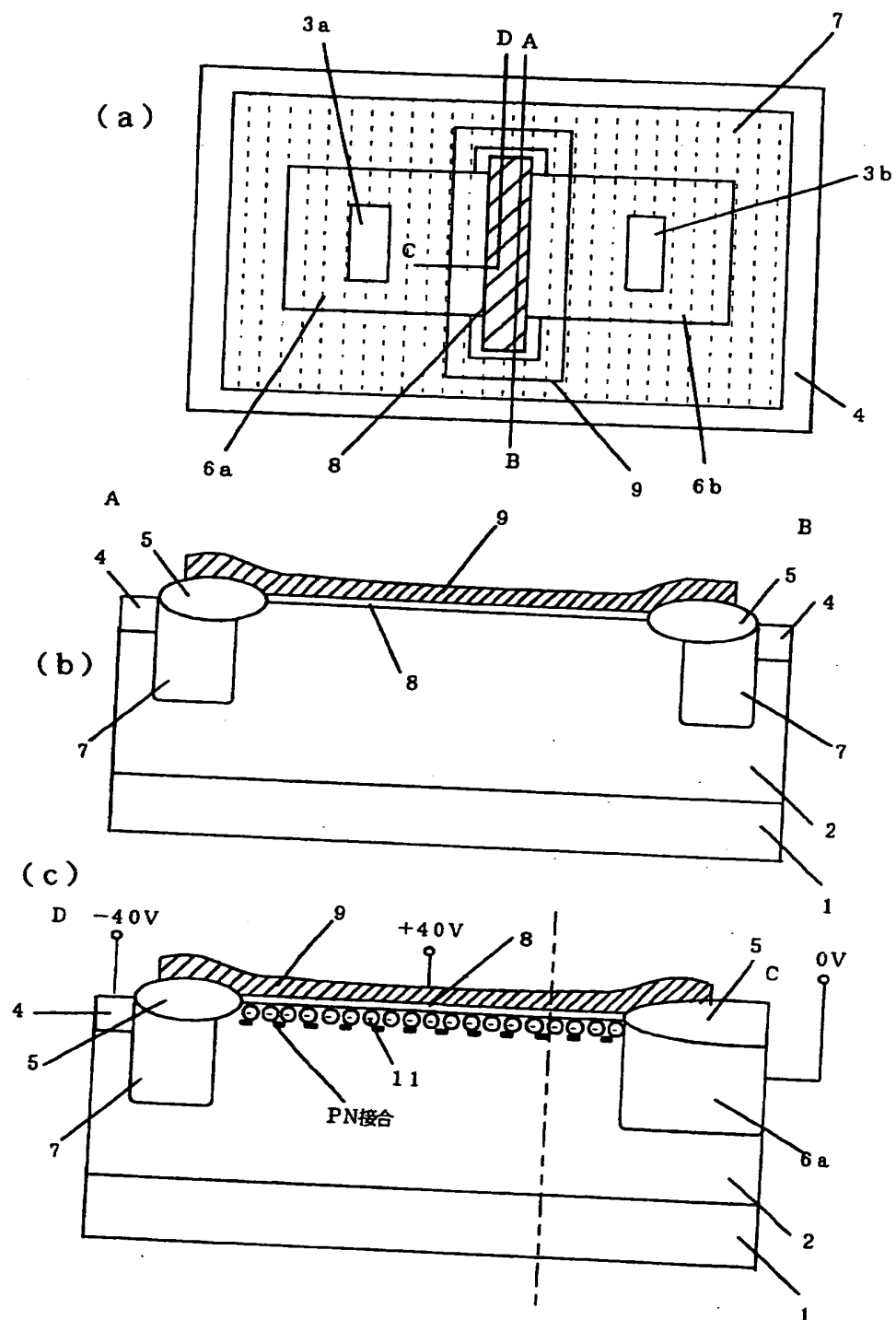
【書類名】

図面

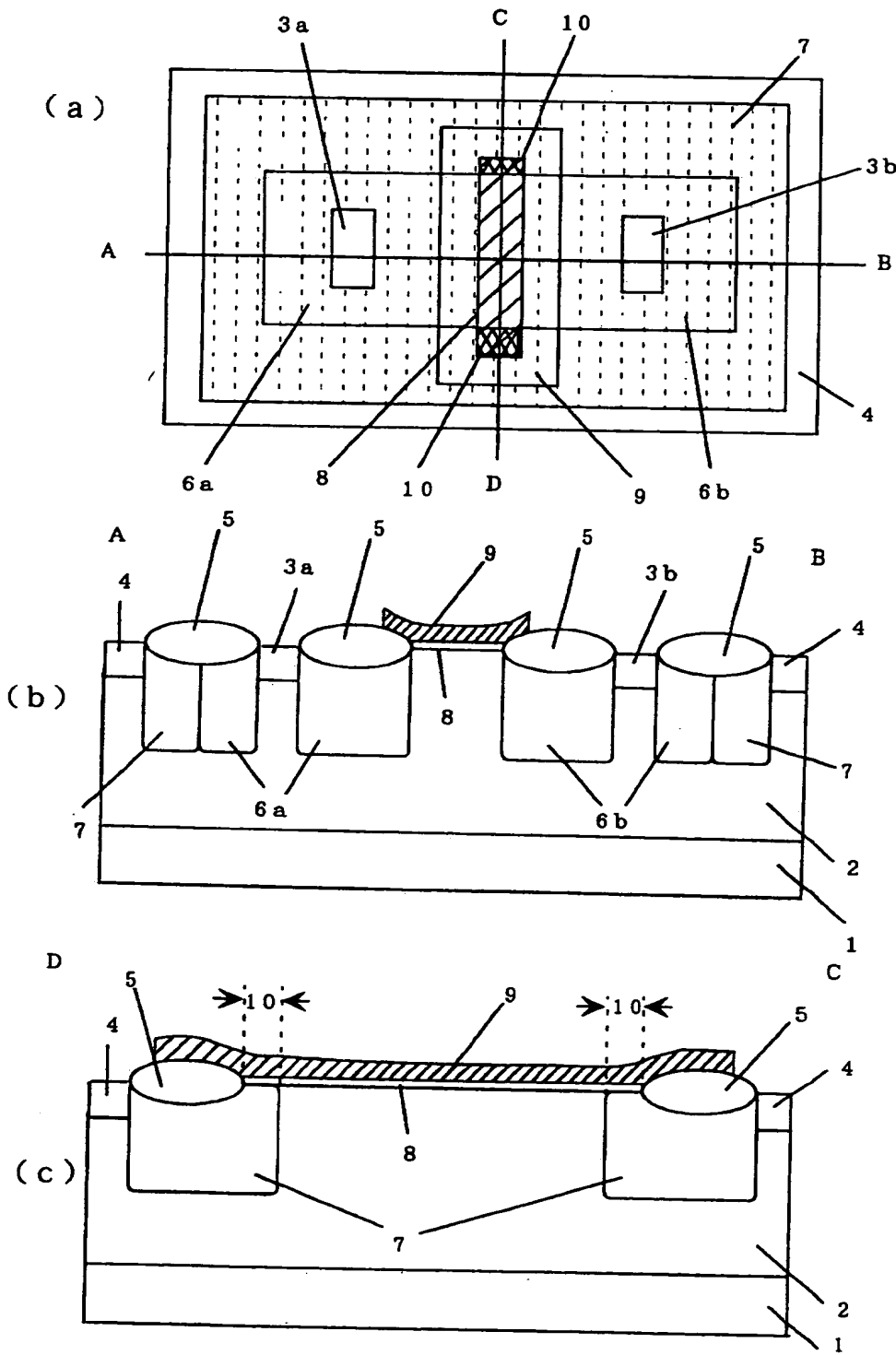
【図1】



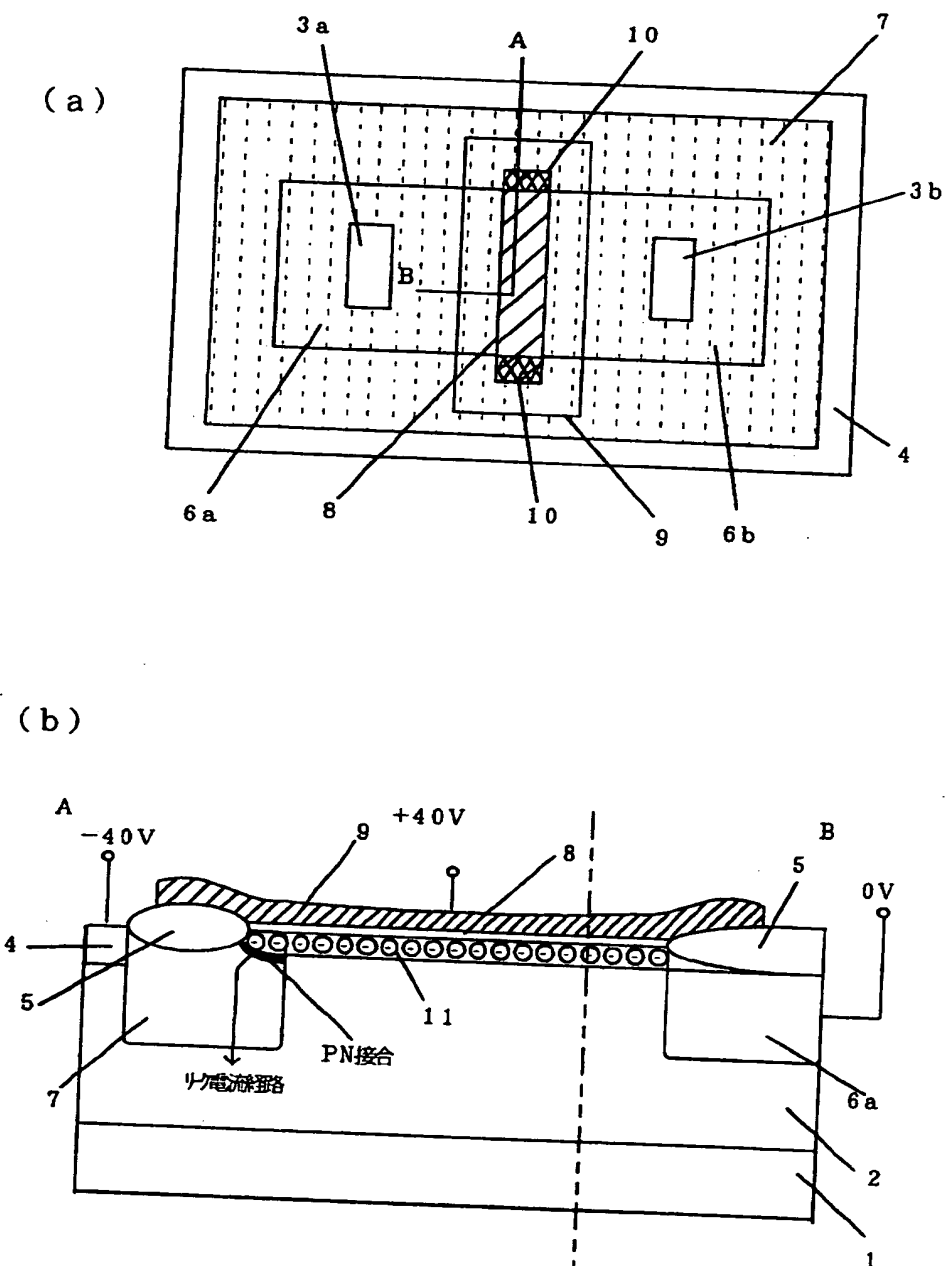
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 トランジスタがON状態でのリーク電流を抑制する。

【解決手段】 高耐圧トランジスタのチャンネルストップ領域となるP型拡散層7をゲート酸化膜8と離間して外側に配置することで、ゲート電極9に高電圧が印加された時、ゲート酸化膜8下に発生するN型反転層11とPN接合を形成するP型領域をP型拡散層7より低濃度のP型ウエル2とすることができ、従来とのPN接合よりも、P型領域の濃度が薄くなるため、エネルギー障壁が高くなり、PN接合でのリークを抑制することができる。

【選択図】 図2

特2000-021256

認定・付加情報

特許出願の番号	特願2000-021256
受付番号	50000099990
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 2月 1日

<認定情報・付加情報>

【提出日】	平成12年 1月31日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日
[変更理由] 住所変更
住 所 大阪府高槻市幸町1番1号
氏 名 松下電子工業株式会社